

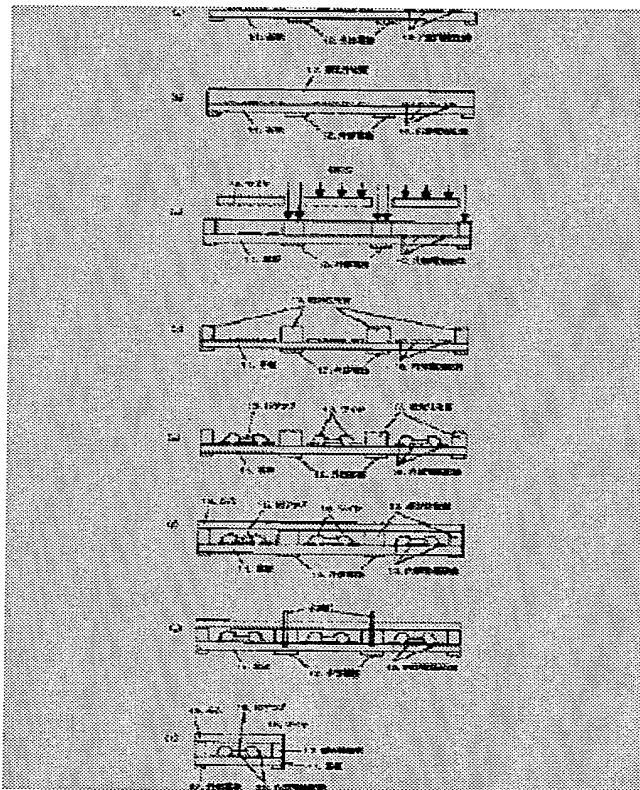
## METHOD FOR MANUFACTURING HERMETICALLY SEALED IC PACKAGE

Patent number: JP2002373950  
Publication date: 2002-12-26  
Inventor: HOSAKA TAKASHI  
Applicant: SEIKO INSTR INC  
Classification:  
- international: H01L23/02; H01L23/02; (IPC1-7): H01L23/02  
- european:  
Application number: JP20010182444 20010615  
Priority number(s): JP20010182444 20010615

Report a data error here

### Abstract of JP2002373950

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a hermetically sealed IC package with enhanced productivity and reduced manufacturing cost. **SOLUTION:** A substrate having an external electrode and an internal electrode wiring is coated entirely with a photosensitive substance and then mounts an IC chip using a photoetching method before the photosensitive substance is formed in a region other than that being connected to wires. A large number of chips are mounted at desired positions in a region where the photosensitive substance is not present and the internal electrode wiring of the substrate is connected to the electrodes of the IC chip through wires. A planar lid is then bonded onto the frame of the photosensitive substance surrounding the IC chip. Finally, the substrate is cut at an intermediate position of the photosensitive substance thus producing individual IC packages.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号  
特開2002-373950  
(P2002-373950A)

(43)公開日 平成14年12月26日(2002.12.26)

(51)Int.C1'  
H01L 23/02

識別記号

F I  
H01L 23/02

フィコード(参考)  
J

審査請求 未請求 請求項の数10 01 (全 4 頁)

(21)出願番号 特願2001-182444(P2001-182444)

(22)出願日 平成13年6月15日(2001.6.15)

(71)出願人 000002325

セイコーインスツルメンツ株式会社  
千葉県千葉市美浜区中瀬1丁目8番地

(72)発明者 保坂 慎

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

(74)代理人 100096378

弁理士 坂上 正明

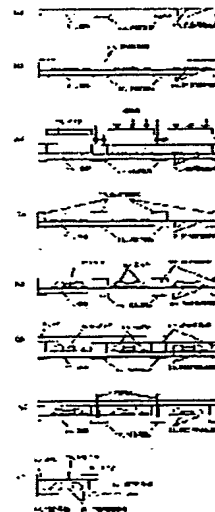
(54)【発明の名称】 気密封止ICパッケージの製造方法

(57)【要約】

【課題】 気密封止ICパッケージの生産性を上げ製造費用を低減する製造方法を提供する。

【解決手段】 外部電極と内部電極配線を有する基板全体に感光性物質を塗布し、写真食刻法を用いてICチップを搭載しワイヤを接続する領域以外の領域に感光性物質を形成する。感光性物質のない領域の所望の位置に多数のチップを搭載し、基板の内部電極配線とICチップの電極とをワイヤで接続する。ICチップのまわりを囲んだ感光性物質の枠の上を板状のふたを接合する。その後で感光性物質の中間位置で切断し1個1個のICパッケージとする。

パッケージとする。



【特許請求の範囲】

【請求項 1】 外部電極と内部電極配線とを有する基板に感光性物質を塗布する工程と写真食刻法を用いて感光性物質を所望の形状に形成する工程と感光性物質の取り除かれた領域に 1 C チップを載せて 1 C チップ内の電極と前記内部電極配線とをワイヤで接続する工程と板状のふたを前記感光性物質の厚膜に接合する工程と前記感光性物質の中間地点で切断する工程とからなることを特徴とする気密封止 1 C パッケージの製造方法

【請求項 2】 外部電極と内部電極配線とを有する基板に感光性物質を塗布する工程と写真食刻法を用いて感光性物質を所望の形状に形成する工程と熱処理を行い前記所望の形状に形成された感光性物質を硬化する工程と感光性物質の取り除かれた領域に 1 C チップを載せて 1 C チップ内の電極と前記内部電極配線とをワイヤで接続する工程と板状のふたを前記感光性物質の厚膜に接合する工程と前記感光性物質の中間地点で切断する工程とからなることを特徴とする気密封止 1 C パッケージの製造方法

【請求項 3】 外部電極と内部電極配線とを有する基板はガラスエポキシ材料であることを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 4】 外部電極と内部電極配線とを有する基板はセラミック材料であることを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 5】 板状のふたは、ガラス板であることを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 6】 板状のふたは、セラミック板であることを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 7】 感光性物質の硬化後の厚みワイヤの最高点より大きいことを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 8】 板状のふたは、テープ状のシートであることを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 9】 基板を切断する前に、1 C パッケージの電気特性を基板全体を用いて測定する工程を含むことを特徴とする請求項 1 または 2 記載の 1 C パッケージの製造方法

【請求項 10】 フローブカード状の治具を用いて電気特性を測定することを特徴とする請求項 9 項記載の 1 C パッケージの製造方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は気密封止 1 C パッケージの製造方法に関する。

【0002】

【従来の技術】 これまでの気密封止 1 C パッケージは図

に示すように、棒 47 を有する個片の基板 41 に 1 C チップ 45 をのせワイヤ 46 をはり、棒 47 にあわせるように板状のふた 49 をのせていた。

【0003】

【発明が解決しようとする課題】 従来の気密封止 1 C パッケージは、1 個 1 個別々に製造されているため生産性が著しく低く、それゆえ非常に高価なものとなっていた。

【0004】

【課題を解決するための手段】 上記の問題点を解決するために、本発明は複数以上の 1 C チップを載せられる基板を用い、感光性物質を所望の形状に形成した後、感光性物質のない領域に 1 C チップを搭載しワイヤ配線をはる。次に板状のふたを接合した後、基板を切断することにより 1 個 1 個の 1 C パッケージにする。

【0005】

【発明の実施の形態】 本発明は、1 C チップの表面を空気などの気体で取り囲んだ気体封止型のパッケージの製造方法に関するものである。以下にこの発明の実施例を図面に基づいて説明する。

【0006】 図 1 は、本発明の製造方法の工程順を示す 1 C パッケージの断面図を示す。図 1 (a) に示すように、外部電極 12 と内部電極配線 13 を有する基板 11 が用意される。この基板 11 内には複数以上のたくさんの 1 C チップが搭載され、最終的に個片にされる。従って基板のサイズは大型であり、最終的に 1 個 1 個の 1 C パッケージになるような外部電極 12 も内部電極配線 13 も繰り返しのパターンとなっている。基板 11 の材料は、セラミックやガラスエポキシやポリイミドやガラスなどが挙げられる。

【0007】 次に図 1 (b) に示すように、感光性物質 17 を塗布する。この感光性物質 17 として、ネガレジスト、ポジレジスト、感光性ポリイミドなどがある。また、塗布する感光性物質 17 の厚みは、最終的に後で述べるワイヤの最も高い所より高くなるように設計されなければならない。塗布後感光性を最大限に効果を出すためにプリバークする場合もある。次に図 1 (c) に示すように、1 C チップを載せる領域とワイヤ接続する領域が露出されるように作成されたマスク 18 を用いて光をあてる。ネガ型の感光性物質では光があたる所が硬化する。ポジ型の場合は、逆に光があたらない所が硬化する。

【0008】 次に図 1 (d) に示すように、現像することにより、1 C チップを載せる領域とワイヤ接続する領域の感光性物質 17 がなくなり、1 C チップを載せる領域とワイヤ接続する領域の間にある所に厚い壁状の感光性物質 17 が形成される。これを熱処理することにより、感光性物質 17 はさらに強固になる。この熱処理により感光性物質 17 は縮小する場合があるが、縮小して高さが低くなってもワイヤの最高点よりも感光性物質 17 を

高くするようにしなければならない。この所望のパターンに形成された感光性物質 17 は IC チップを搭載する領域およびワイヤを接続する領域を取り囲んでいる。

【0009】次に図 1(e) に示すように、IC チップ 15 を内部電極配線 13 の所望の位置に接合する。つまり感光性物質の層 17 にはさまれた感光性物質 17 のない領域の中で IC チップを載せるべき位置に IC チップ 15 を接合する。尚、IC チップ 15 の接合する位置には、内部電極配線 13 はなくて良い場合もある。たとえば、IC チップ 15 の表面をできるだけ低くする必要がある場合や、IC チップ 15 を電氣的に導通する必要がない場合や、IC チップ 15 を放熱する必要があまりない場合などである。次に IC チップ 15 の表面の電極と内部電極配線 13 とをワイヤ 16 で接続する。このワイヤの材料として、金(Au)、金合金、アルミニウム(Al)、アルミニウム合金、銅(Cu)、銅合金などの金属が使われる。ワイヤは一般にワイヤボンダで接続されるので、キャピラリを動かせる程度には、感光性物質 17 と内部電極配線 13 との距離を取る必要がある。尚、IC チップ 15 の搭載は感光性物質 17 を形成した後で行うので、感光性物質 17 の形成処理が IC チップ 15 にダメージを与えることはない。

【0010】次に図 1(f) に示すように、板状のふた 19 を接合する。この場合、感光性物質 17 の上に接合材料を付着してからふた 19 を接合する方法、あるいはふた 19 の方に感光性物質 17 が来る位置に接合材を塗布してからふた 19 を接合する方法、あるいは感光性物質 17 とふた 19 を熱処理で接合する方法などがある。この板状のふた 19 として、光を通すことが必要であればガラスや透明プラスチックなどのその光に透明な物質からなる材料にする。光を通す必要がなければ、セラミックやガラスエポキシやポリイミドなどの材料を用いることができる。またテープ状のシートでも用途によって使うこともできる。

【0011】次に図 1(g) に示すように、感光性物質 17 の中間地点で基板を切断する。この切断の方法として、ダイシング装置を用いて行う方法やワイヤソーを用いて行う方法やレーザーや高圧水を用いて切断する方法がある。また、ダイシングで行う場合、最初比較的幅の広いブレードを用いて浅く切断しその後幅の狭いブレードで切断することで、切断面にクラックが入ることを防止する方法を用いることもできる。このようにして、図 1(h) に示すように、IC チップ 15 が気体で封止さ

れた IC パッケージを得る。

【0012】さて、IC パッケージの電気特性の測定方法として、従来と同じく 1 個のパッケージになった後で測定することはもちろん可能である。そのほかに、図 1(e) で基板を切断する前に測定することもできる。すなわち、基板の電極に合わせてプローブカードを作成しウエハ測定の時と同じ方法で測定できる。従って多数の IC パッケージを 1 回のプロービングで測定することも可能である。

【0013】図 2 は、図 1(e) の平面図を示す。基板 21 内に多数の IC チップ 25 が搭載されている。IC チップ 25 およびワイヤ 26 は露出している。IC チップの間には感光性物質 27 が塗布に形成されている。写真食刻法を用いているので感光性物質は精度良くパターンニングされている。

【0014】図 3 は、図 1(e) の平面図を示す。点線で示す位置で切断される。感光性物質 37 のほぼ中間位置で切断される。

【0015】

【発明の効果】以上、説明したように基板内に多数の IC パッケージを一挙に作り込み、最後に切断して 1 個 1 個の IC パッケージにするので、生産性が大幅に向上し製造費も大幅に低減する。また、切断する前に 1 枚の基板になっている時に電気特性を測定できるので、ウエハプローバーと同様の思想で多数の IC の電気特性を一挙に測定できることになり、テストに要する費用を大幅に削減できる。

【図面の簡単な説明】

【図 1】本発明の IC パッケージの製造方法を示す図である。

【図 2】図 1(e) の平面図を示す図である。

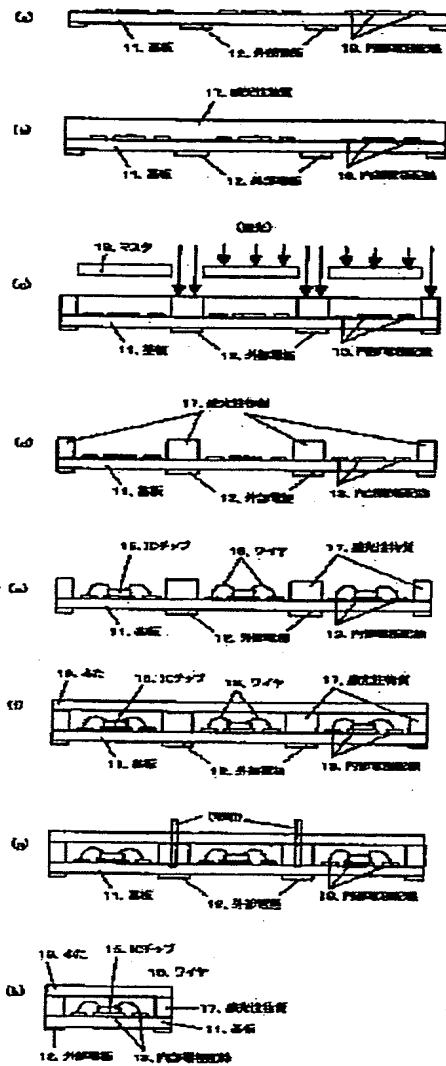
【図 3】図 1(e) の平面図を示す図である。

【図 4】従来の IC パッケージを示す図である。

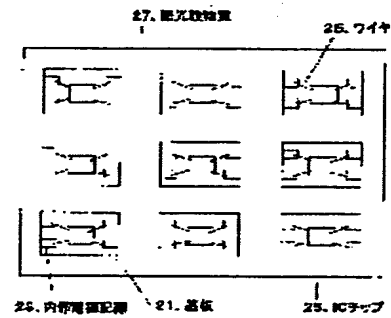
【符号の説明】

11、21、31、41	半導体基板
12、42	外部電極
13、23、33、43	内部電極配線
15、25、35、45	IC チップ
16、26、36、46	ワイヤ
17、27、37	感光性物質
18	マスク
19、49	ふた
47	12

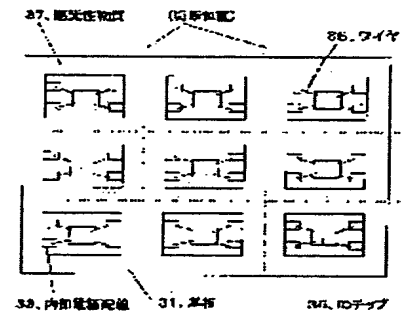
【図 1】



【図 2】



【図 3】



【図 4】

